

Olga 2  
Části číslicové techniky - referenční  
manuál  
(olga.zone)

# OBSAH

<b>OBSAH</b>	<b>2</b>
<b>Předmluva</b>	<b>3</b>
<b>AND</b>	<b>4</b>
<b>NAND</b>	<b>5</b>
<b>OR</b>	<b>6</b>
<b>NOR</b>	<b>7</b>
<b>XOR</b>	<b>8</b>
<b>XNOR</b>	<b>9</b>
<b>CONTRADICTION</b>	<b>10</b>
<b>TAUTOLOGY</b>	<b>11</b>
<b>BUFA</b>	<b>12</b>
<b>NOTA</b>	<b>13</b>
<b>BUFB</b>	<b>14</b>
<b>NOTB</b>	<b>15</b>
<b>AIB</b>	<b>16</b>
<b>ANB</b>	<b>17</b>
<b>BIA</b>	<b>18</b>
<b>BNA</b>	<b>19</b>
<b>2:1 MUX</b>	<b>20</b>
<b>MAJORITY</b>	<b>21</b>
<b>HALF ADDER</b>	<b>22</b>
<b>FULL ADDER</b>	<b>23</b>
<b>NOR RS LATCH</b>	<b>24</b>
<b>NAND RS LATCH</b>	<b>25</b>
<b>D LATCH</b>	<b>26</b>
<b>RISING EDGE D FLIPFLOP</b>	<b>27</b>
<b>FALLING EDGE D FLIPFLOP</b>	<b>28</b>
<b>DUAL EDGE D FLIPFLOP</b>	<b>29</b>
<b>RISING EDGE SET-RESET D FLIPFLOP</b>	<b>30</b>
<b>FALLING EDGE JK FLIPFLOP</b>	<b>31</b>
<b>FALLING EDGE T FLIPFLOP</b>	<b>32</b>
<b>RISING EDGE 3BIT SISO SHIFT REGISTER</b>	<b>33</b>
<b>RISING EDGE 2BIT SIPO SHIFT REGISTER</b>	<b>34</b>
<b>RISING EDGE 2BIT PISO SHIFT REGISTER</b>	<b>35</b>
<b>STRAIGHT RING COUNTER</b>	<b>36</b>
<b>JOHNSON RING COUNTER</b>	<b>37</b>
<b>MOD-4 COUNTER</b>	<b>38</b>
<b>MOD-3 COUNTER</b>	<b>39</b>
<b>CLOCK</b>	<b>40</b>
<b>RESOURCES</b>	<b>41</b>

# Předmluva

Každá část obvodu má svůj popis, grafickou reprezentaci a pravdivostní tabulku.

Hovoříme o částech obvodu, protože prvních 16 "hradel" jsou všechny možná kombinační obvodová schémata mezi 2 vstupy a 1 výstupem. Nejsou to vždy hradla, jsou zde také úplně nebo částečně nezávislá schémata a schémata bez připojení ke vstupům. Náš přístup byl zvolen tak, aby pokryl situace v obvodech, nejen opakoval 6 základních hradel.

V sekvenčních obvodech (flipflopů a latchů) jsme zvolili odlišný přístup, vysvětlujeme 3 hranou řízené flipflopů a jeden latch s úrovní řízeným přepínáním (D latch) a navazujeme na toto rozdělení. Ukazujeme pouze jeden reprezentativní obvod z rodin T a JK flipflopů/latchů. Existují nejméně 4 T flipflopů/latchů (je jich víc jak 4 pokud připustíme i jiný, než základní model togglování) a existuje také nejméně 16 JK flipflopů/latchů (obdobně).

V češtině jsou flipflopů a latchů označovány jen jedním termínem - "klopný obvod". Tento zvyk má své výhody.

Symbol "!" je symbol pro NOT (negaci) v programovacích jazycích rodiny C (nepoužíváme bitwise ~ neboť v textu předpokládáme, že jsme za vyhodnocením všech vnořených výrazů a na nejnižší jednobitové úrovni, kde všechny vstupy i výstupy jsou jednobitové, na této úrovni není rozdíl mezi bitwise ~ a !, proto používáme běžnější operátor).

# AND

2 vstupy, 1 výstup  
paměť 0bit

Jedním z nejběžnějších hradel je hradlo AND. Jeho význam je naprosto stejný jako v přirozeném jazyce. Symbol v ASCII je "&" (v programovacích jazycích rodiny C).



A	B	A AND B
0	0	0
1	0	0
0	1	0
1	1	1

# NAND

2 vstupy, 1 výstup  
paměť 0bit

Nejpraktičtější přístup k zapamatování  $A \text{ NAND } B$  je přemýšlet o "všem kromě  $A \text{ AND } B$ ". Je to prostě negace výstupu hradla AND. Toto hradlo je pro svou plošnou jednoduchost velmi hojně využíváno při návrhu mikročipů.



A	B	A NAND B
0	0	1
1	0	1
0	1	1
1	1	0

# OR

2 vstupy, 1 výstup  
paměť 0bit

Hradlo OR je jedním z nejběžnějších hradel. Jeho význam je naprosto stejný jako v přirozeném jazyce, ale není vylučovací, takže A i B odpovídá OR. Symbol v ASCII je "|" (používá se v programovacích jazycích rodiny C).



A	B	A OR B
0	0	0
1	0	1
0	1	1
1	1	1

# NOR

2 vstupy, 1 výstup  
paměť 0bit

Hradlo NOR je hradlo, které je aktivní pouze tehdy, pokud není aktivní žádný vstup. Hojně používané hradlo, jedno z primárních, protože k jeho vytvoření stačí dva tranzistory.



A	B	A NOR B
0	0	1
1	0	0
0	1	0
1	1	0

# XOR

2 vstupy, 1 výstup  
paměť 0bit

Hradlo XOR je hradlo typu "exkluzivní nebo". Pokud (A a NOT B) NEBO (B a NOT A), je výstup hradla aktivní. Jinými slovy, pokud je aktivní přesně jeden vstup, je aktivní i výstup. Hojně se používá v kryptografii a v některých obvodových konstrukcích slouží k negaci jednoho ze vstupů na základě stavu druhého (podmíněná negace vstupu).



A	B	A XOR B
0	0	0
1	0	1
0	1	1
1	1	0



# XNOR

2 vstupy, 1 výstup  
paměť 0bit

Hradlo XNOR je negací hradla XOR. Toto hradlo vyjadřuje ekvivalenci. Výstup je aktivní, pokud se vstup A rovná vstupu B.



A	B	A XNOR B
0	0	1
1	0	0
0	1	0
1	1	1

# KONTRADIKCE

Libovolný počet vstupů, 1 výstup  
paměť 0bit

Kontradikce není hradlo, je to situace, kdy libovolné hodnoty na libovolném množství vstupů dávají na výstup logickou nulu - nepravdu. Nemá široce rozšířený symbol, v obvodech ji vyjadřuje úplné ignorování vstupů a zapojení výstupu rovnou do země.

A	B	KONTRADIKCE
0	0	0
1	0	0
0	1	0
1	1	0

# TAUTOLOGIE

Libovolný počet vstupů, 1 výstup  
paměť 0bit

Tautologie není hradlo, je to situace, kdy libovolné hodnoty na libovolném množství vstupů dávají na výstup logickou jedničku - pravdu. Nemá široce rozšířený symbol, v obvodech ji vyjadřuje úplné ignorování vstupů a zapojení výstupu rovnou do zdroje napětí Vcc (kladné napětí).

A	B	TAUTOLOGIE
0	0	1
1	0	1
0	1	1
1	1	1

# BUFA

2 vstupy, 1 výstup  
paměť 0bit

Buffer A není hradlo, jde o situaci, kdy je vstup A zapojen přímo na výstup, zcela ignoruje B. Nemusí mít nutně symbol (níže), v obvodu je reprezentován buffer jen jako spojení mezi A a výstupem.



A	B	BUFA
0	0	0
1	0	1
0	1	0
1	1	1

# NOTA

2 vstupy, 1 výstup  
paměť 0bit

NOTA není hradlo, je to situace, kdy je vstup A napojen na výstup přes hradlo NOT, přičemž se zcela ignoruje vstup B (přestože B existuje). Negace (hradlo NOT) má svůj symbol níže, ale spojení NOTA představuje situaci v obvodu, kdy je vstup A připojen na výstup přes hradlo NOT a vstup B ignorován.



A	B	NOTA
0	0	1
1	0	0
0	1	1
1	1	0

# BUFB

2 vstupy, 1 výstup  
paměť 0bit

Buffer B není hradlo, jde o situaci, kdy je vstup B zapojen přímo na výstup, zcela ignoruje A. Nemusí mít nutně symbol (níže), v obvodu je reprezentován buffer jen jako spojení mezi B a výstupem.



A	B	BUFB
0	0	0
1	0	0
0	1	1
1	1	1

# NOTB

2 vstupy, 1 výstup  
paměť 0bit

NOTB není hradlo, je to situace, kdy je vstup B napojen na výstup přes hradlo NOT, přičemž se zcela ignoruje vstup A (přestože A existuje). Negace (hradlo NOT) má svůj symbol níže, ale spojení NOTB představuje situaci v obvodu, kdy je vstup B připojen na výstup přes hradlo NOT a vstup A ignorován.



A	B	NOTB
0	0	1
1	0	1
0	1	0
1	1	0

# AIB

2 vstupy, 1 výstup  
paměť 0bit

“A implikuje B” je zřídka používané hradlo, které je obvykle sestaveno ze 2 jiných hradel.  
Nemá běžně používaný symbol.

A	B	AIB
0	0	1
1	0	1
0	1	0
1	1	1



# ANB

2 vstupy, 1 výstup  
paměť 0bit

“Cokoliv kromě A implikuje B” je zřídka používané hradlo, které je obvykle sestaveno ze 2 jiných hradel. Nemá běžně používaný symbol.

A	B	ANB
0	0	0
1	0	0
0	1	1
1	1	0

# BIA

2 vstupy, 1 výstup  
paměť 0bit

“B implikuje A” je zřídka používané hradlo, které je obvykle sestaveno ze 2 jiných hradel.  
Nemá běžně používaný symbol.

A	B	BIA
0	0	1
1	0	0
0	1	1
1	1	1

# BNA

2 vstupy, 1 výstup  
paměť 0bit

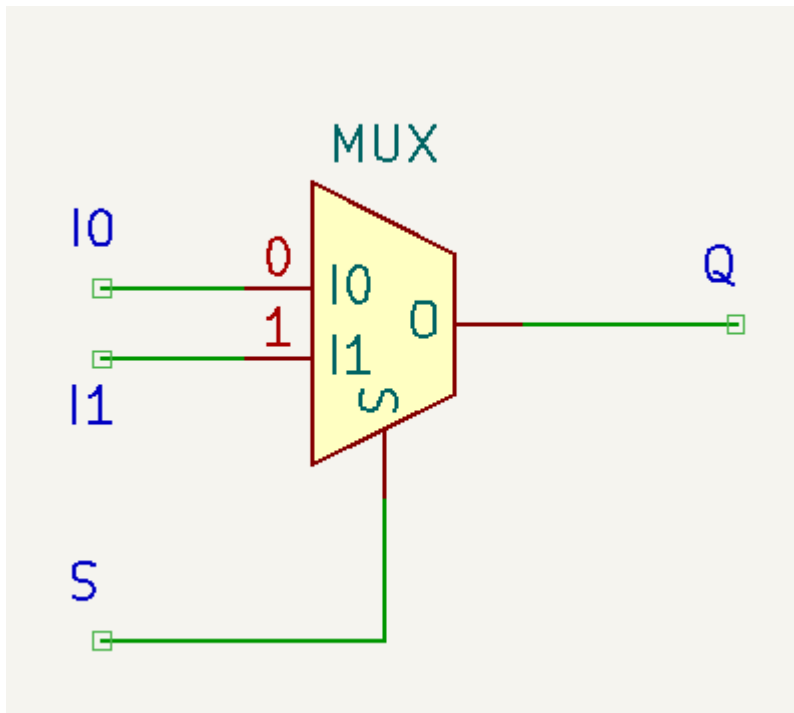
“Cokoliv kromě B implikuje A” je zřídka používané hradlo, které se obvykle skládá ze 2 jiných hradel. Nemá běžně používaný symbol.

A	B	BNA
0	0	0
1	0	1
0	1	0
1	1	0

# 2:1 MUX

3 vstupy, 1 výstup  
paměť 0bit

Multiplexer 2:1 (mux) je obvod, který přenáší vstup I0 do Q, pokud je na vstupu S nula, a vstup I1 do Q, pokud je na vstupu S jednička. Existují také multiplexery vyšších řádů. Všechny muxy je možné vytvořit ze základních hradel.

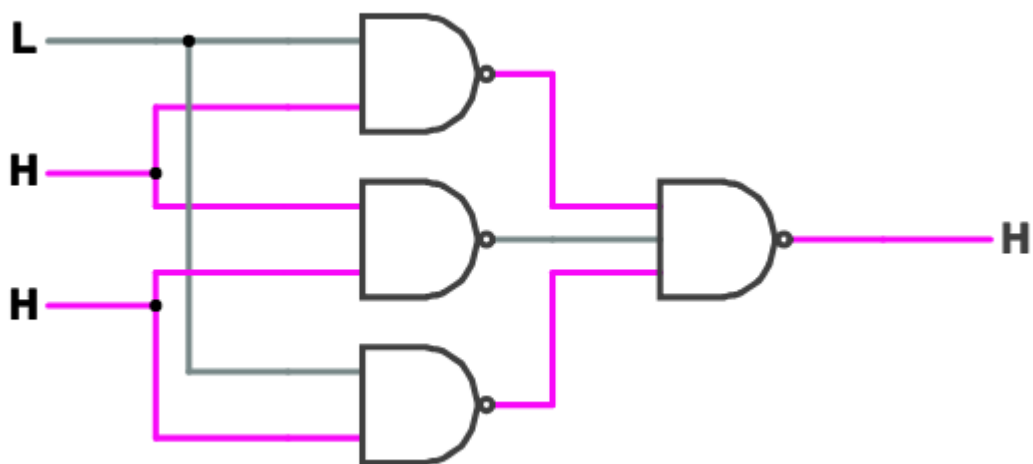


I0	I1	S	Q
0	X	0	0
1	X	0	1
X	0	1	0
X	1	1	1

# MAJORITY

3 vstupy, 1 výstup  
paměť 0bit

Obvod MAJORITY má na výstupu to, co je ve většině na 3 vstupech.

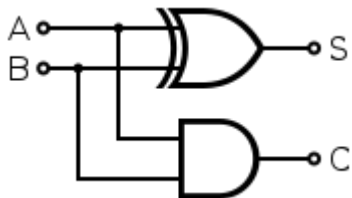


I1	I2	I3	Q
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

# HALF ADDER

2 vstupy, 2 výstupy  
paměť 0bit

Poloviční sčítačka sčítá dvě binární číslice A a B. Má dva výstupy, součet (S) a carry bit (C). Signál carry představuje přetečení do další číslice vícemístného sčítání.

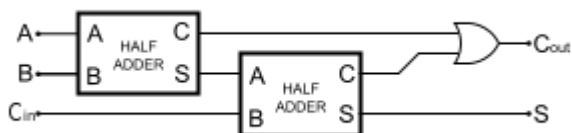


A	B	S	C
0	0	0	0
1	0	1	0
0	1	1	0
1	1	1	1

# FULL ADDER

3 vstupy, 2 výstupy  
paměť 0bit

Úplná sčítačka zpracovává dva vstupy a carry bit vstup a vytváří součet a carry bit výstup.  
Hradlo OR zpracovává obě možná přetečení.



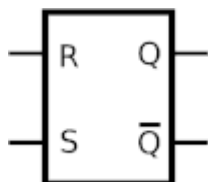
A	B	Cin	S	Cout
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	1	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

# NOR RS LATCH

2 vstupy, 1 výstup (+negace)  
paměť 1bit

Dokud jsou na vstupech R a S nuly, zpětná vazba udržuje výstupy Q a !Q v konstantním stavu, přičemž !Q je komplementem Q. Pokud je S (Set) pulzován na jedničku, zatímco R (Reset) je udržován na nule, pak je výstup Q na jedničce a zůstane na jedničce, i když se S vrátí na nulu. Podobně, pokud je R pulzován na jedničku, zatímco S je držen na nule, pak je výstup Q na nule a zůstane na nule, i když se R vrátí na nulu. "!" je symbol pro NOT v programovacích jazycích rodiny C.

Existuje i taktovaný latch tohoto typu, E - aktivační vstup přes 2 hradla AND na vstupech R a S, výstup se mění při změně vstupu, je-li E aktivní. Takový obvod může být zaměněn s JK latchem, který je v podstatě shodný, pouze nemá neplatný stav.



tabulka přechodů mezi stavy			
S	R	Qnext	Akce
0	0	Q	Držet stav
0	1	0	Reset
1	0	1	Set
1	1	X	Není povoleno

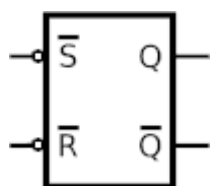


# NAND RS LATCH

2 vstupy, 1 výstup (+negace)  
paměť 1bit

Dokud jsou vstupy R a S na jedničce, zpětná vazba udržuje výstupy Q a !Q v konstantním stavu, přičemž !Q je komplementem Q. Pokud je S (Set) pulzován na nulu, zatímco R (Reset) je držen na jedničce, pak je výstup Q nuceně na jedničce a zůstane na jedničce, i když se S vrátí na jedničku. Podobně, pokud je R pulzován na nulu, zatímco S je držen na jedničce, pak je výstup Q nuceně na nule a zůstane na nule, i když se R vrátí na jedničku. "!" je symbol pro NOT v programovacích jazycích rodiny C.

Existuje i taktovaný latch tohoto typu, podobně jako u NOR RS LATCHe.



tabulka přechodů mezi stavy			
S	R	Q <sub>next</sub>	Akce
0	0	X	Není povoleno
0	1	0	Set
1	0	1	Reset
1	1	Q	Držet stav

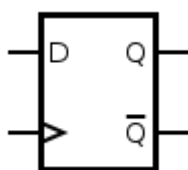
# D LATCH

2 vstupy, 1 výstup (+negace)  
paměť 1bit

D latch (D jako "data") neboli transparentní latch je rozšířením taktovaného klopného obvodu SR latch, které odstraňuje možnost neplatných vstupních stavů. Jeden ze vstupů odstraníme tak, že vstup Reset řídíme inverzí (negací) ke vstupu Set. D latch vyvede na výstup vstup D vždy, když je hodinový vstup na jedničce, jinak je výstupem to, co bylo na vstupu D, když byl hodinový vstup naposledy na jedničce. Proto se mu také říká transparentní latch - když je hodinový vstup na jedničce, říkáme, že je "transparentní" - signál D jde přímo ze vstupu na výstup, jako by tam D latch nebyl.

Pokud je hodinový vstup na jedničce, reaguje D latch na vstup okamžitě. Během jednoho hodinového impulsu tak může dojít například k pěti změnám vstupu, které okamžitě změní výstup Q. Říkáme, že D latch je aktivován úrovní.

Symbol obvykle nerozlišuje mezi D latchem a D flipflopem. Stejná je i tabulka přechodů mezi stavy. Občas je symbolicky zakresleno, že obvod reaguje na úroveň.



tabulka přechodů mezi stavy			
CLK	D	Q <sub>next</sub>	Akce
0	0	Q	Držet stav
0	1	Q	Držet stav
1	0	0	Reset
1	1	1	Set

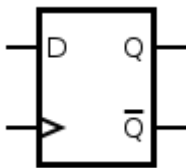
# RISING EDGE D FLIPFLOP

2 vstupy, 1 výstup (+negace)  
paměť 1bit

Rising edge D flipflop je flipflop, který mění výstup podle stejných pravidel jako D latch, ale pouze v okamžiku náběžné hrany hodinového (taktovacího) vstupu.

Pokud je hodinový vstup přepnut na jedničku, D flipflop zareaguje na vstup, poté zůstává ve stejném stavu až do další náběžné hrany taktovacího vstupu. Během jednoho hodinového impulsu je vždy možná pouze jedna změna výstupu. Říkáme, že D flipflop je spouštěný náběžnou hranou.

Symbol se u D latche a D flipflopů obvykle nerozlišuje. Stejná je i tabulka přechodů mezi stavy. Občas je symbolicky zakresleno na kterou hranu obvod reaguje.



tabulka přechodů mezi stavy			
CLK	D	Q <sub>next</sub>	Akce
0	0	Q	Držet stav
0	1	Q	Držet stav
1	0	0	Reset
1	1	1	Set

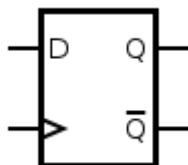
# FALLING EDGE D FLIPFLOP

2 vstupy, 1 výstup (+negace)  
paměť 1bit

Falling edge D flipflop je flipflop, který mění výstup podle stejných pravidel jako D latch, ale pouze v okamžiku doběžné hrany hodinového vstupu.

Pokud hodinový vstup přejde z jedničkového stavu do nulového stavu, D flipflop zareaguje na vstup. Během jednoho hodinového impulsu je vždy možná pouze jedna změna výstupu. Říkáme, že D flipflop je spouštěn doběžnou (klesající) hranou hodinového (taktovacího) vstupu.

Symbol se u D latche a D flipflopů obvykle nerozlišuje. Stejná je i tabulka stavových přechodů. Občas je symbolicky zakresleno na kterou hranu obvod reaguje.



tabulka přechodů mezi stavy			
CLK	D	Q <sub>next</sub>	Akce
0	0	Q	Držet stav
0	1	Q	Držet stav
1	0	0	Reset
1	1	1	Set

# DUAL EDGE D FLIPFLOP

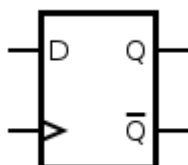
2 vstupy, 1 výstup (+negace)  
paměť 1bit

Dual edge D flipflop je flipflop, který mění výstup podle stejných pravidel jako D latch, ale pouze v okamžiku náběžné a doběžné hrany hodin.

Pokud hodinový vstup změní stav z jedničky na nulu, nebo z nuly na jedničku, D flipflop zareaguje na vstup. Během jednoho hodinového impulsu jsou vždy možné dvě změny výstupu. Říkáme, že D flipflop je spouštěn oběma hranami (hodinového vstupu).

U D latchů a D flipflopů se tento symbol obvykle nerozlišuje. Stejná je i tabulka stavových přechodů. Občas je symbolicky zakresleno na kterou hranu obvod reaguje. Může být zakresleno, že flipflop reaguje na obě.

D flipflop s dvojitou hranou zkonstruujeme pomocí flipflopů s vzestupnou i sestupnou hranou a zmuxujeme je 2:1 dohromady podle hodin.

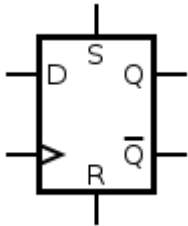


tabulka přechodů mezi stavy			
CLK	D	Q <sub>next</sub>	Akce
0	0	Q	Držet stav
0	1	Q	Držet stav
1	0	0	Reset
1	1	1	Set

# RISING EDGE SET-RESET D FLIPFLOP

4 vstupy, 1 výstup (+negace)  
paměť 1bit

Set-Reset D flipflop/latch (libovolný) je flipflop/latch s přídatnými vstupy S a R, které mohou vynucovat, aby výstup byl na jedničce nebo na nule. Ostatní vlastnosti jsou stejné jako u flipflopů, který S a R rozšiřují. Existují také flipflop/latche pouze se vstupem S nebo pouze s R.



tabulka přechodů mezi stavy					
CLK	D	S	R	Q <sub>next</sub>	Akce
0	0	0	0	Q	Držet stav
0	1	0	0	Q	Držet stav
1	0	0	0	0	Reset
1	1	0	0	1	Set
X	X	1	0	1	Nucený set
X	X	0	1	0	Nucený reset
X	X	1	1	X	Není povoleno

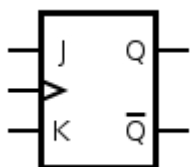
# FALLING EDGE JK FLIPFLOP

3 vstupy, 1 výstup (+negace)  
paměť 2bit

Existuje mnoho JK flipflopů. Vstupy se mohou chovat jako jeden ze čtyř D flipflopů/latchů. Vstupy jsou dva, proto existuje 16 kombinací, včetně JK latche, úrovní spouštěného J a hranou spouštěného K, úrovní spouštěného K a hranou spouštěného J nebo hranou spouštěného J a hranou spouštěného K, kde spouštění hranou znamená chování shodné s D flipflopem řízeným klesající hranou, rostoucí hranou nebo oběma hranami. JK obvody také mohou různě togglovat.

JK latch je SR latch, který je vytvořen tak, aby přepínal svůj výstup (toggloval mezi 0 a 1), když je na vstupu kombinace 11 (tedy zakázaný stav SR latche). Na rozdíl od JK flipflopů není vstupní kombinace 11 pro JK latch příliš užitečná, protože latch netoggluje podle hodin, ale ihned (jak to povolí realizace).

Pokud přimějeme J a K reagovat na hranu hodin, dostaneme například JK flipflop řízený klesající hranou. Tento obvod řeší situaci J i K na sestupné (klesající) hraně hodin. JK flipflop rozšiřuje chování SR latche (J: Set, K: Reset) tím, že interpretuje stav J = K = 1 jako příkaz "toggluj" neboli přepínej se. Konkrétně kombinace J = 1, K = 0 je příkazem k nastavení flipflopů na SET; kombinace J = 0, K = 1 je příkazem k nastavení flipflopů na RESET; a kombinace J = K = 1 je příkazem k přepínání flipflopů, tj. ke změně jeho výstupu na negaci jeho aktuální hodnoty. Nastavení J = K = 0 zachovává aktuální stav. Chceme-li vytvořit flipflop D, nastavíme K jako negaci J (vstup J bude fungovat jako vstup D). Podobně pro vytvoření flipflopů T nastavíme K rovné J. JK latch/flipflop je tedy univerzální latch/flipflop, protože může být nakonfigurován tak, aby fungoval jako SR latch/ff, D latch/ff nebo T latch/ff.



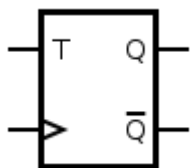
tabulka přechodů mezi stavy			
J	K	Q <sub>next</sub>	Akce
0	0	Q	Držet stav
1	0	1	Set
0	1	0	Reset
1	1	!Q	Přepnout

# FALLING EDGE T FLIPFLOP

2 vstupy, 1 výstup (+negace)  
paměť 1bit

Flipflop T lze sestavit pomocí flipflopů JK (vstupy J a K jsou spojeny dohromady a fungují jako T) nebo flipflopů D (vstup T XOR  $Q_{\text{previous}}$  řídí vstup D).

Když je T aktivní, flipflop T se přepíná podle hodin. Existují čtyři typy T flipflopů: 3 hranově spouštěné a jeden úrovně spouštěný. Úrovně spouštěný - T latch není široce používán, protože se přepíná okamžitě a ne podle hodin.



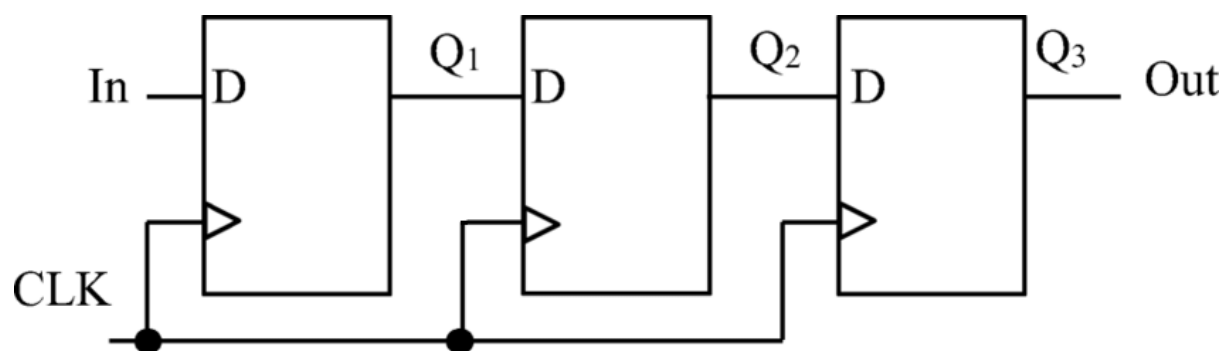
tabulka přechodů mezi stavy			
CLK	T	Q <sub>next</sub>	Akce
0	0	Q	Držet stav
1	0	Q	Držet stav
0	1	!Q	Přepnout
1	1	!Q	Přepnout



# RISING EDGE 3BIT SISO SHIFT REGISTER

2 vstupy, 1 výstup  
paměť 3bit

Posuvný registr, který přijímá sériový vstup (jeden bit za druhým přes jednu datovou linku) a vytváří sériový výstup, se nazývá Serial-In Serial-Out posuvný registr. Protože existuje pouze jeden výstup, data opouštějí posuvný registr po jednom bitu v sériovém pořadí, proto název Serial-In Serial-Out Shift Register. Níže uvedený logický obvod znázorňuje posuvný registr Serial-In Serial-Out. Obvod se skládá ze tří flipflopů D, které jsou zapojeny do série. Všechny tyto flipflopů jsou navzájem synchronní, protože na každý flipflop je přiveden stejný taktovací signál.



tabulka přechodů mezi stavy

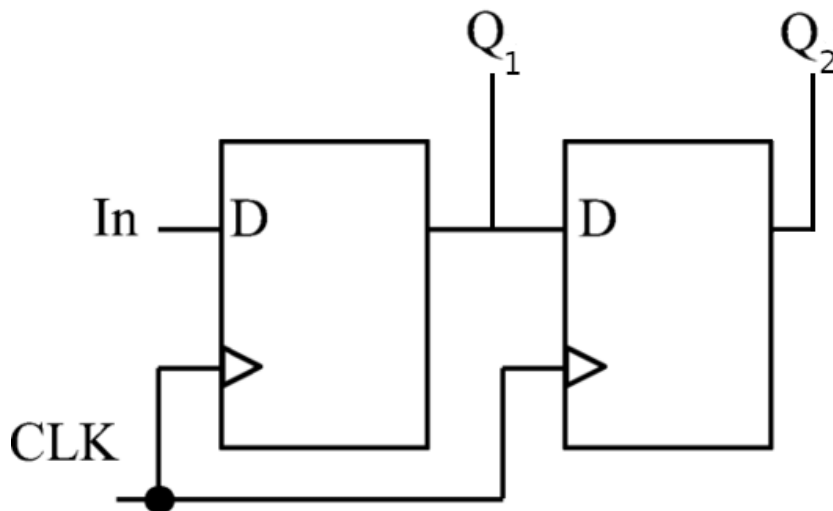
CLK #	In	(Q1)	(Q2)	Q3 = Out
0	0	0	0	0
1	0	0	0	0
2	1	0	0	0
3	0	1	0	0
4	1	0	1	0
5	0	1	0	1
6	0	0	1	0
7	0	0	0	1
8	0	0	0	0

# RISING EDGE 2BIT SIPO SHIFT REGISTER

2 vstupy, 2 výstupy  
paměť 2bit

V digitálních obvodech je posuvný registr kaskáda flipflopů, které sdílejí stejné hodiny a v nichž je výstup každého flipflopů připojen k "datovému" vstupu dalšího flipflopů v řetězci. Vzniká obvod, který při každém přechodu hodinového vstupu do stavu jedna posune o jednu pozici bitové pole, které je v něm uloženo. Obvod posune data přítomná na jeho vstupu do paměti a vymaže poslední bit v poli.

Co je posuvný registr SIPO? Posuvný registr, který umožňuje sériový vstup a paralelní výstup, se nazývá posuvný registr SIPO. V registru SIPO znamená termín SIPO sériový vstup paralelní výstup.



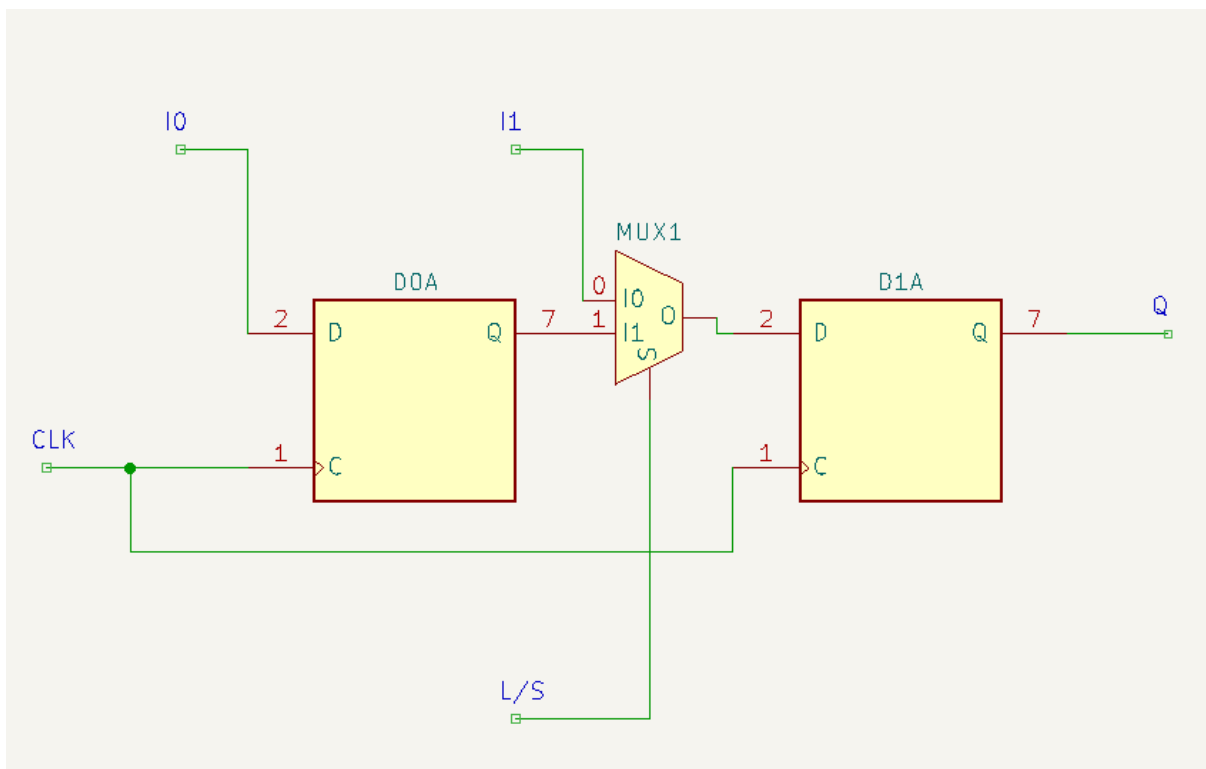
tabulka přechodů mezi stavy

CLK #	In	Q1	Q2
1	0	0	0
2	1	0	0
3	0	1	0
4	1	0	1
5	0	1	0
6	0	0	1

# RISING EDGE 2BIT PISO SHIFT REGISTER

4 vstupy, 1 výstup  
paměť 2bit

Posuvný registr PISO (Parallel In Serial Out) je zařízení, které načítá paralelní vstupy do sériové linky. Jeho činnost určuje vstup L/S (Load/Shift), který určuje, zda obvod pracuje jako SISO, nebo zda načítá data ze vstupů. Pokud je vybrána možnost Shift, obvod přesune data do dalšího D flipflopů. Každá dvojice D flipflopů je oddělena muxem mezi vstupem a předchozím D flipflopem na základě L/S. Obvod sdílí společný hodinový signál ve všech D flipflopech.



příklad tabulky přechodů mezi stavy (input 11, shift, shift)

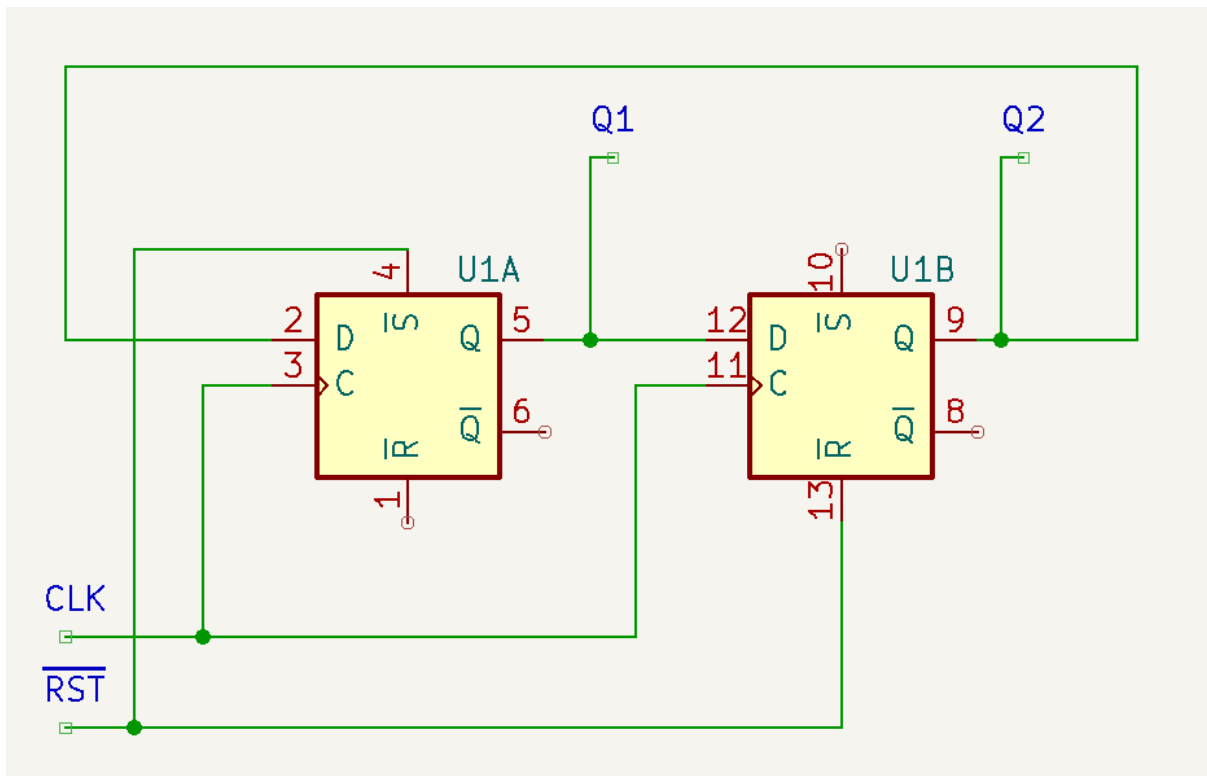
CLK #	L/S	I0	D0	I1	D1	Q
1	0	0	0	0	0	0
2	0	1	0	1	0	0
3	1	1	1	1	1	1
4	1	0	0	0	1	1

5	0	0	0	0	0	0
---	---	---	---	---	---	---

## STRAIGHT RING COUNTER

2 vstupy, 2 výstupy  
paměť 2bit

Přímý kruhový čítač, známý také jako one-hot counter, připojuje výstup posledního posuvného registru ke vstupu prvního posuvného registru a v jeho D flipflopoch tak "obíhá" jeden bit.



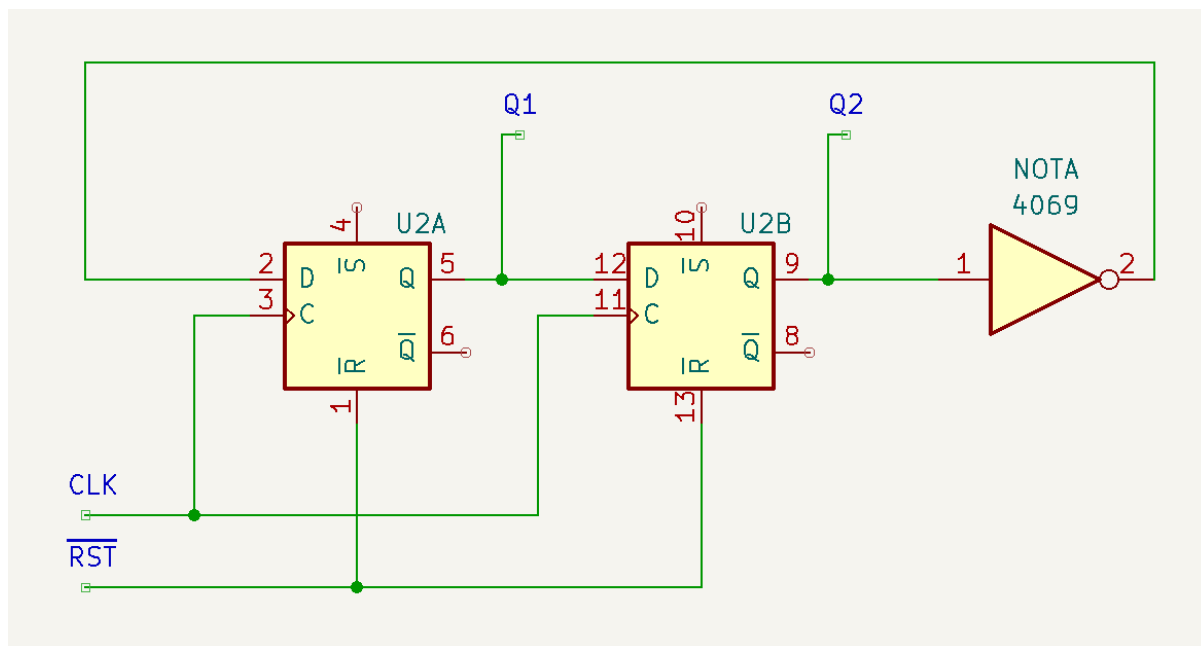
tabulka přechodů mezi stavy

CLK #	STATE	Q1	Q2
1	0	0	0
2	1	1	0
3	2	0	1
4	0	0	0

# JOHNSON RING COUNTER

2 vstupy, 2 výstupy  
paměť 2bit

Johnsonův čítač, nazývaný také Möbiův čítač, spojuje negaci výstupu posledního D flipflop se vstupem prvního registru a čítačem tak probíhá pole jedniček následovaných nulami po kruhu.



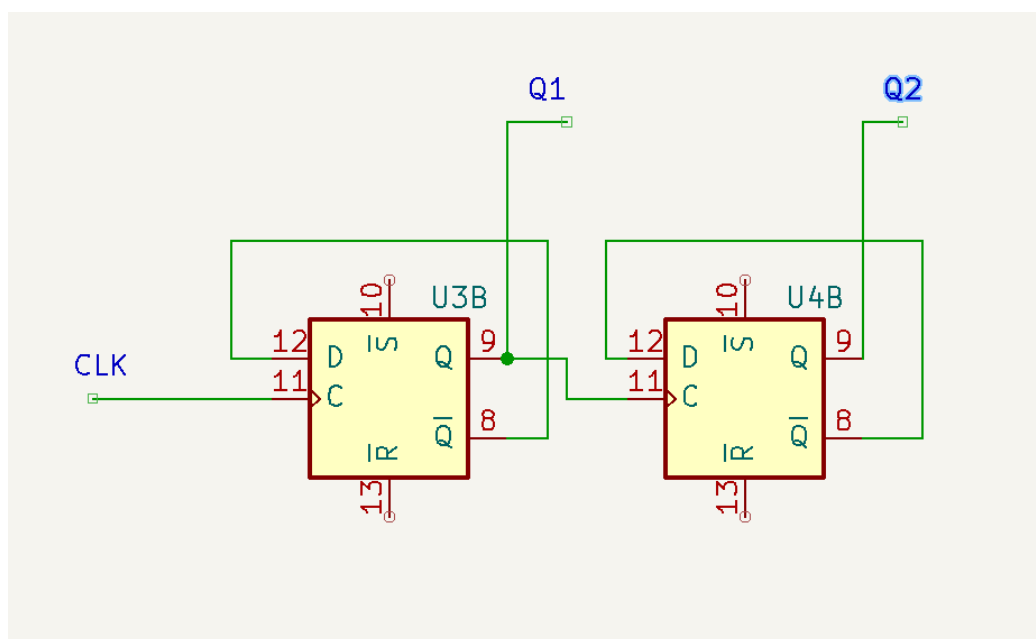
tabulka přechodů mezi stavy

CLK #	STATE	Q1	Q2
1	0	0	0
2	1	1	0
3	2	1	1
4	3	0	1
5	0	0	0

# MOD-4 COUNTER

1 vstup, 2 výstupy  
paměť 2bit

Čítač MOD-4 je čítač modulo, který zvyšuje svůj stav při hodinovém impulsu. Při přetečení stavu se čítač vrátí do stavu 0 (modulo chování). Q1 představuje MSB (most significant bit, nejvýznamnější bit), Q2 představuje LSB (least significant bit, nejméně významný bit). Obvody této rodiny se konstruují tak, že se výstup méně významného bitu D flipflopů připojí k hodinám významnějšího bitu D flipflopů, komplement jeho výstupu se připojí k jeho D vstupu a vytvoří se invertující zpětná vazba.

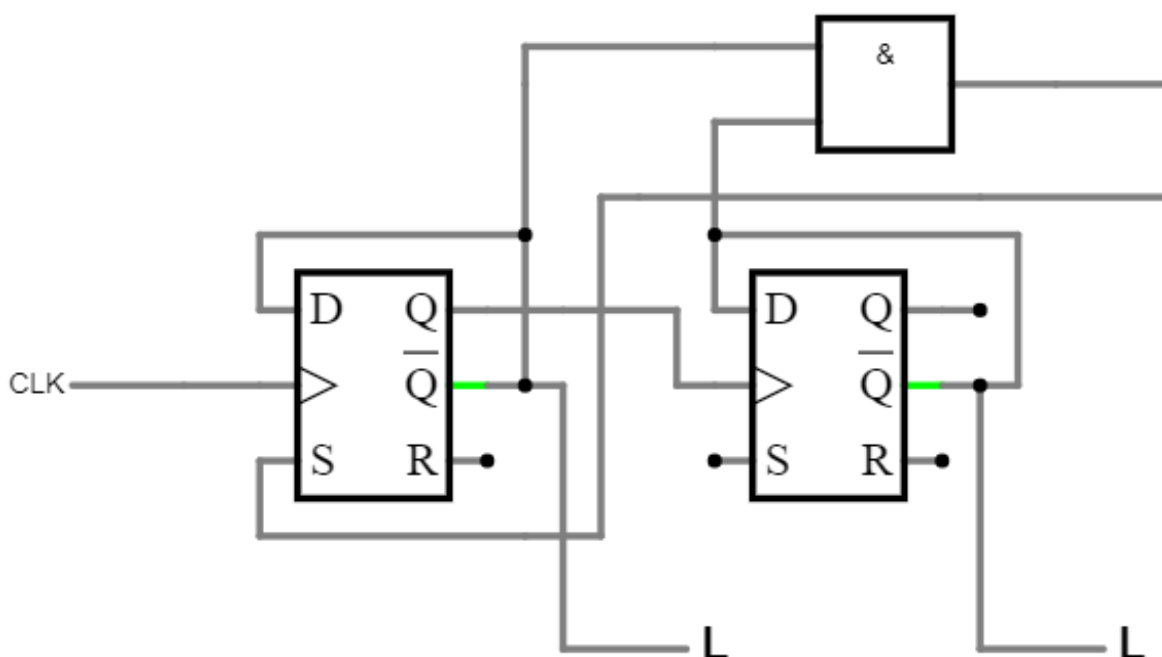


tabulka přechodů mezi stavy			
CLK #	STATE	Q1 (MSB)	Q2 (LSB)
1	0	0	0
2	1	0	1
3	2	1	0
4	3	1	1
5	0	0	0

# MOD-3 COUNTER

1 vstup, 2 výstupy  
paměť 2bit

Čítač MOD-3 je stejný jako čítač MOD-4, ale obsahuje dekódovací obvod, který při stavu 11 (neplatný) nastaví čítač do stavu 00. V tomto obvodu je použit AND jako takový dekódovací obvod. Pomocí podobné logiky můžeme vytvořit čítače MOD ANYTHING.



tabulka přechodů mezi stavy

CLK #	STATE	Q1	Q2
1	0	0	0
2	1	0	1
3	2	1	0
4	0	0	0

# CLOCK

0 vstupů, 1 výstup  
paměť 0bit

Hodiny (taktovací signál, hodinový signál, clock) jsou signálem, který přepíná mezi 1 a 0 a vytváří impulsy ve tvaru obdélníku. Je charakterizován napětím a frekvencí. OLGA.ZONE má frekvenci 1 Hz, proto jedna perioda trvá 1 sekundu.





## ZDROJE

<https://www.falstad.com/circuit/>

[https://commons.wikimedia.org/wiki/Logic\\_gates\\_unified\\_symbols](https://commons.wikimedia.org/wiki/Logic_gates_unified_symbols)

[https://en.wikipedia.org/wiki/Flip-flop\\_\(electronics\)#Flip-flop\\_types](https://en.wikipedia.org/wiki/Flip-flop_(electronics)#Flip-flop_types)

[https://en.wikibooks.org/wiki/Digital\\_Circuits/Latches](https://en.wikibooks.org/wiki/Digital_Circuits/Latches)

[https://en.wikipedia.org/wiki/Majority\\_function](https://en.wikipedia.org/wiki/Majority_function)

[https://en.wikipedia.org/wiki/Adder\\_\(electronics\)](https://en.wikipedia.org/wiki/Adder_(electronics))

[https://cs.wikipedia.org/wiki/Bin%C3%A1rn%C3%AD\\_s%C4%8D%C3%ADta%C4%8Dka](https://cs.wikipedia.org/wiki/Bin%C3%A1rn%C3%AD_s%C4%8D%C3%ADta%C4%8Dka)

<https://www.geeksforgeeks.org/shift-registers-in-digital-logic/>

[https://www.researchgate.net/figure/Block-diagram-of-3-bit-SISO-shift-register\\_fig2\\_335640645](https://www.researchgate.net/figure/Block-diagram-of-3-bit-SISO-shift-register_fig2_335640645)

[https://en.wikipedia.org/wiki/Ring\\_counter](https://en.wikipedia.org/wiki/Ring_counter)

## PODĚKOVÁNÍ

Děkuji Jakobovi Bösserovi za vydatnou pomoc při překladu do češtiny.